

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06349950

(43) Date of publication of application: 22. 12. 1994

(51) Int. Cl.

H01L 21/90

(21) Application number:
05135900

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 07. 06. 1993 (72) Inventor: TSUTSUMI TOSHIAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To prevent gas from going out through the exposed side wall of a hole provided to an interlayer insulating film in a heat treatment process.

CONSTITUTION: A nitride film 13 is deposited on an exposed surface which includes the inner wall of a viahole 5 provided to a second interlayer insulating film 4 which is interposed between a first wiring layer 2 and a second wiring layer 7 formed on a semiconductor substrate 1. When a conductive layer 6 which electrically connects the first wiring layer 2 and the second wiring layer 7 together is formed by burying a conductive material through a CVD growth method, the nitride film 13 prevents the growth failure of conductive material caused by gas that goes out through the second interlayer insulating film 4.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349950

(43) 公開日 平成 6 年 (1994) 12 月 22 日

(51) Int.Cl.⁵

H 0 1 L 21/90

識別記号

庁内整理番号

A 7514-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平5-135900

(22) 出願日 平成 5 年 (1993) 6 月 7 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 堤 聡明

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会

社エル・エス・アイ研究所内

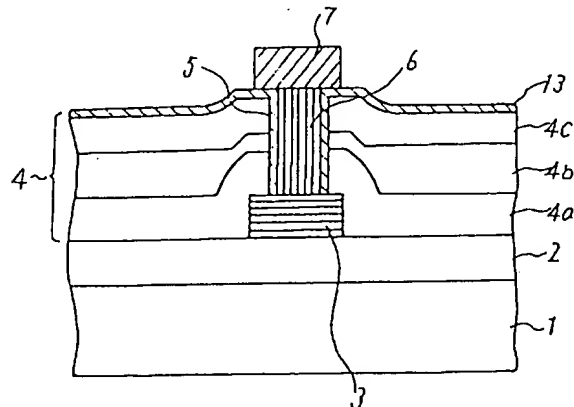
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 熱処理を伴う工程における層間絶縁膜における穴の側面である露出面からの脱ガスを防止する。

【構成】 半導体基板 1 上に形成された第一の配線層 2 と第二の配線層 7 との間に介在する第二の層間絶縁膜 4 に形成されるビア・ホール 5 の内壁を含む露出面を窒化膜 13 で覆う。第一の配線層 3 と第二の配線層 7 を電気的に接続する導電層 6 を選択 CVD 成長法による導電物質の埋め込みによって形成する際に、窒化膜 13 が第二の層間絶縁膜 4 からの脱ガスによる導電物質の成長不良を防止することになる。



- 1: 半導体基板
- 2: 第一の層間絶縁膜
- 3: 第一の配線層
- 4: 第二の層間絶縁膜
- 5: 穴
- 6: 導電層
- 7: 第二の配線層

1

【特許請求の範囲】

【請求項1】 半導体基板上に形成された第一の層間絶縁膜、この第一の層間絶縁膜上に形成された配線層、この配線層上及び上記第一の層間絶縁膜上に形成され、表面から上記の配線層の表面に達する穴を有した第二の層間絶縁膜、この第二の層間絶縁膜の少なくとも上記穴の側面を含む露出面に形成された窒化膜、上記第二の層間絶縁膜の上記穴の内部に埋め込まれた導電物質からなる導電層を備えた半導体装置。

【請求項2】 半導体基板上に第一の層間絶縁膜を形成する工程、この第一の層間絶縁膜上に配線層を形成する工程、この配線層上及び上記第一の層間絶縁膜上に第二の層間絶縁膜を形成する工程、この第二の層間絶縁膜の表面から上記の配線層の表面に達する穴を形成する工程、上記の第二の層間絶縁膜の少なくとも穴の側面を含む露出する面を窒化する工程、上記第二の層間絶縁膜の穴の内部に導電物質を埋め込む工程を備えた半導体装置の製造方法。

【請求項3】 半導体基板上に第一の層間絶縁膜を形成する工程、この第一の層間絶縁膜上に配線層を形成する工程、この配線層上及び上記第一の層間絶縁膜上に第二の層間絶縁膜を形成する工程、この第二の層間絶縁膜の表面から上記の配線層の表面に達する穴を形成する工程、上記の穴を含む第二の層間絶縁膜の表面及び上記の配線層の表面に窒化膜を堆積する工程、この窒化膜を上記第二の層間絶縁膜の穴の側面部分を除いて除去する工程、上記第二の層間絶縁膜の穴の内部に導電物質を埋め込む工程を備えた半導体装置の製造方法。

【請求項4】 半導体基板上に第一の層間絶縁膜を形成する工程、この第一の層間絶縁膜上に配線層を形成する工程、この配線層上及び上記第一の層間絶縁膜上に第二の層間絶縁膜を形成する工程、この第二の層間絶縁膜の表面から上記の配線層の表面に達する穴を形成する工程、真空中においてアニールを行う工程、当該真空を破ることなく上記の第一の配線層上の酸化膜を除去する工程、当該真空を破ることなく上記第二の層間絶縁膜の穴の内部に導電物質を埋め込む工程を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この明は半導体装置の製造方法に係わり、特に、多層配線構造を有した半導体製造装置の製造方法に関するものである。

【0002】

【従来の技術】 LSIの高集積化にともない、多層配線技術の向上が強く望まれるようになってきた。特に、上下2層の配線層を電氣的に接続するために設けられるビアホールのアスペクト比が高くなるに従い、ビアホールにおける信頼性の劣化が顕著になってきている。この問

2

題を解消する方法として選択CVD法を用いて、ビアホールを金属膜で埋め込む構造が開発されている。以下、この半導体装置の構造及び製造方法の従来例を図21～25に基づいて説明する。

【0003】 図25において、1はSiなどの半導体基板、2はこの半導体基板1の表面上に形成されたシリコン酸化膜などからなる第一の層間絶縁膜、3はこの第一の層間絶縁膜上に部分的に形成されたAl合金などからなる第一の配線層、4はこの第一の配線層及び上記第一の層間絶縁膜の表面上に形成され、シリコン酸化膜などからなる第一の絶縁膜4aとSOG (Spin on Glass) 膜からなる第二の絶縁膜4bとシリコン酸化膜などからなる第三の絶縁膜4cとの三層構造からなる第二の層間絶縁膜、5は上記第二の層間絶縁膜4の表面から上記第一の配線層3の表面に達する穴(ビア・ホール)、6は上記ビア・ホールの内部に埋め込まれたタングステン等の金属膜からなる導電物質、7はこの導電物質及び上記第二の層間絶縁膜4の表面上に形成されたAl合金などからなる第二の配線層である。

【0004】 次に、このように構成された半導体装置の製造方法について説明する。まず、図21に示すように、半導体基板1の表面上に第一の層間絶縁膜2をCVD法で形成する。次いで、この第一の層間絶縁膜2の表面上にスパッタ法などを用いてAl合金膜を成膜し写真製版及びエッチング技術などを用いて第一の配線層3を形成する。次いで、CVD法などにより第一の絶縁膜であるシリコン膜4aを形成した後、スピコート法によってSOG膜からなる第二の絶縁膜4bを形成し、さらに第三の絶縁膜であるシリコン酸化膜4cをCVD法などにより形成することによって三層構造からなる第二の層間絶縁膜4を形成する。ここで、SOG膜からなる第二の絶縁膜4bは段差の平坦化のために形成されるものであり、また、第一の絶縁膜4a及び第三の絶縁膜4cは上記SOG膜4bが配線層3等と反応して劣化することを防止するために形成されるものである。

【0005】 次に、図22に示すように、この第二の層間絶縁膜4に対して、写真製版技術及びエッチング技術により上記第一の配線層3の表面に達する穴であるビア・ホール5を形成する。図23に示すように、ビア・ホール5の内部を Bcl_3 プラズマ8に晒すことにより、第一の配線層3の表面上に形成された自然酸化膜を除去する。次いで、図24に示すように、アニールによって第一の配線層3の露出面に吸着した塩素を放出させた後、ビア・ホール5の内部に選択CVD法によってタングステンなどの導電物質6を埋め込む。そして、図25に示すように、導電物質6及び第二の層間絶縁膜4の表面上にスパッタ法などを用いてAl合金膜を成膜し写真製版及びエッチング技術などを用いて第二の配線層7を形成する。

【0006】

50

3

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されていたので、選択CVD法で導電物質6であるタングステンなどを形成する際に第二の層間絶縁膜4、特にSOG膜4bの膜中に吸着されている水や炭化水素等が脱離し、選択CVD法によるタングステンの成長に影響を及ぼすため、タングステンなど導電物質6の成長不良が発生するという問題点があった。また、 Bcl_3 プラズマ8処理後のアニールでも吸着ガス、特に水の脱離により、第一の配線層3の露出面が再度酸化されて、第一の配線層3とビア・ホール内を埋め込んだ導電物質6との間の電気抵抗が上昇し、不良の原因となる問題点があった。

【0007】この発明は上記のような問題点を解消するためになされたもので、第二の層間絶縁膜における吸着ガスの脱離による影響を防止できる半導体装置及びその製造方法を得ることを目的としたものである。

【0008】

【課題を解決するための手段】この発明の第一の発明にかかわる半導体装置は、半導体基板上に形成された第一の層間絶縁膜上に形成された配線層と、この配線層上及び第一の層間絶縁膜上に形成され、表面から配線層の表面に達する穴を有した第二の層間絶縁膜とを有し、この第二の層間絶縁膜の少なくとも穴の側面を含む露出面に窒化物を形成し、穴の内部に導電物質からなる導電層を埋め込んだものである。

【0009】この発明の第二の発明にかかわる半導体装置の製造方法は、半導体基板上に第一の層間絶縁膜を形成する工程と、この第一の層間絶縁膜上に配線層を形成する工程と、この配線層上及び第一の層間絶縁膜上に第二の層間絶縁膜を形成する工程と、この第二の層間絶縁膜の表面からの配線層の表面に達する穴を形成する工程と、第二の層間絶縁膜の少なくとも穴の側面を含む露出する面を窒化する工程と、第二の層間絶縁膜の穴の内部に導電物質を埋め込む工程とを設けたものである。

【0010】この発明の第三の発明に係わる半導体装置の製造方法は、半導体基板上に第一の層間絶縁膜を形成する工程と、この第一の層間絶縁膜上に配線層を形成する工程と、この配線層上及び第一の層間絶縁膜上に第二の層間絶縁膜を形成する工程と、この第二の層間絶縁膜の表面から配線層の表面に達する穴を形成する工程と、穴を含む第二の層間絶縁膜の表面及び配線層の表面に窒化膜を堆積する工程と、この窒化膜を第二の層間絶縁膜の穴の側面部分を除いて除去する工程と、第二の層間絶縁膜の穴の内部に導電物質を埋め込む工程とを設けたものである。

【0011】この発明の第四の発明にかかわる半導体装置の製造方法は、半導体基板上に第一の層間絶縁膜を形成する工程と、この第一の層間絶縁膜上に配線層を形成する工程と、この配線層上及び第一の層間絶縁膜上に第二の層間絶縁膜を形成する工程と、この第二の層間絶縁

4

膜の表面から配線層の表面に達する穴を形成する工程と、真空中においてアニールを行う工程と、当該真空を破ることなく第一の配線層上の酸化膜を除去する工程と、当該真空を破ることなく第二の層間絶縁膜の穴の内部に導電物質を埋め込む工程とを設けたものである。

【0012】

【作用】この発明の第一の発明においては、第二の層間絶縁膜の穴の側面を含む露出面に形成された窒化物が、第二の層間絶縁膜からガスが脱離することを防止する。

【0013】この発明の第二の発明においては、第二の層間絶縁膜の穴の側面を含む露出面を窒化する工程により、第二の層間絶縁膜における少なくとも穴の側面に窒化物が形成され、それ以降の工程において、第二層間絶縁膜からガスが脱離することを防止する。

【0014】この発明の第三の発明においては、第二の層間絶縁膜の穴の側面に窒化膜を堆積する工程により、第二の層間絶縁膜の穴の側面に窒化物が形成され、それ以降の工程において、第二の層間絶縁膜からガスが脱離することを防止する。

【0015】この発明の第四の発明においては、真空中でアニールを行った後、当該真空を破ることなく連続して、配線層の酸化膜除去工程、導電物質を埋め込む工程を行うことにより、アニールで第二の層間絶縁膜中の吸着ガスが放出され、吸着ガスの放出が無い状態で以後の工程が行われる。

【0016】

【実施例】実施例1. 以下、この発明の半導体装置の実施例1を図1に基づいて説明する。図において、1はSiなどの半導体基板、2はこの半導体基板1の表面上に形成されたシリコン酸化膜などからなる第一の層間絶縁膜、3はこの第一の層間絶縁膜上に部分的に形成されたAl合金などからなる第一の配線層、4はこの第一の配線層及び上記第一の層間絶縁膜2の表面上に形成され、シリコン酸化膜などからなる第一の絶縁膜4aとSOG(Spin on Glass)膜からなる第二の絶縁膜4bとシリコン酸化膜などからなる第三の絶縁膜4cとの三層構造からなる第二の層間絶縁膜、5はこの第二の層間絶縁膜の表面から上記第一の配線層3の表面に達する穴(ビア・ホール)、6はこのビア・ホール5の内部に埋め込んだタングステン等の金属膜からなる導電物質の導電層、7はこの導電層及び上記第二の層間絶縁膜4の表面上に形成されたAl合金などからなる第二の配線層、13は第二の層間絶縁膜の表面上に形成されたSi窒化膜である。

【0017】上記Si窒化膜13はガスに対する通気性が低いため、第二の層間絶縁膜4の表面全体を覆うことによって、第二の層間絶縁膜4、特にSOG膜4bからのガスの放出を抑制する効果があるので、上記の導電層6を選択CVD法によって成長する際などの熱処理における、放出ガスによる成長不良等を防止することができ、導電層6形成時の導電物質の成長不良及び第一の配線層3の

5

表面の酸化を防げ、第一の配線層3と第二の配線層7との電気的接続が良好になるものである。

【0018】実施例2. 次に、上記実施例1のように構成された半導体装置の製造方法について図2ないし図7を用いて説明する。図2に示すように、半導体基板1の表面上に第一の層間絶縁膜2をCVD法で形成する。次に、この第一の層間絶縁膜2の表面上にスパッタ法などを用いてAl合金膜を成膜し写真製版及びエッチング技術などを用いて第一の配線層3を形成する。次に、CVD法などにより第一の絶縁膜であるリシコン膜4aを形成した後、スピコート法によってSOG膜からなる第二の絶縁膜4bを形成し、さらに第三の絶縁膜であるシリコン酸化膜4cをCVD法などにより形成することによって三層構造からなる第二の層間絶縁膜4を形成する。ここで、SOG膜からなる第二の絶縁膜4bは段差の平坦化のために形成するものであり、また、第一の絶縁膜4a及び第三の絶縁膜4cは上記SOG膜4bが配線層3等と反応して劣化することを防止するために形成されている。

【0019】次に、図3に示すように、この第二の層間絶縁膜4に対して、写真製版技術及びエッチング技術により、第一の配線層3の表面に達する穴であるビア・ホール5を形成する。図4に示すように、図3に示した状態のものを300℃程度に加熱しながら窒素プラズマ11に晒す。このときの処理条件は、例えば、窒素流量を30sccm、圧力30mtorr、RFパワー100W、処理時間3分程度で行う。このプラズマ処理は減圧状態(30mtorr程度)で基板加熱しながら行うため、第二の層間絶縁膜4、特にSOG膜4b内に吸着している水や炭化水素を効果的に放出させる。そして、第二の層間絶縁膜4に含まれるSiとN₂との反応により第二の層間絶縁膜4の露出面にSi窒化膜(SiN)13が形成される。このSi窒化膜13が形成されるため、この状態のものを大気中に晒した時に、再度水等のガスが第二の層間絶縁膜4に吸着されるのを防止するとともに、第二の層間絶縁膜4中の残留ガスが後のプロセス中に放出されるのを防ぐことができる。

【0020】次に、図5に示すように、ビア・ホール5の内部をBcl₃プラズマ8に晒すことにより、第一の配線層3の表面上に形成された自然酸化膜を除去する。次いで、図6に示すように、アニールによって第一の配線層3に吸着した塩素を放出させた後、ビア・ホール5の内部に選択CVD法によってタングステンなどの導電物質を埋め込んで導電層6を形成する。そして、図7に示すように、導電層6及び第二の層間絶縁膜4の表面上にスパッタ法などを用いてAl合金膜を成膜し写真製版及びエッチング技術などを用いて第二の配線層7を形成する。以上の各工程において、第二の層間絶縁膜4からのガスの放出がSi窒化膜で防げるので、導電層6を形成するための選択CVD法による導電物質の成長に際しては、従来例で示した第二の層間絶縁膜からのガスの影響による成長不良を防止することができる。また、Bcl₃プラズマ

6

8処理後のアニール工程に際しても、水等のガスにより第一の配線層3の表面が再度酸化されることを防止することができる。

【0021】実施例3. この発明の実施例3である半導体装置の製造方法を図8ないし図13に基づいて説明する。図8及び図9に示すように、第二の層間絶縁膜4にビア・ホール5を形成するまでの工程は上記した実施例2と同一である。次いで、図10に示すように、第二の層間絶縁膜4の露出面に対し、アンモニア(NH₃)雰囲気中、例えば、アンモニア流量1SLM、圧力0.5torrの雰囲気中で300℃に基板加熱しながら、5分程度UV光(紫外線)12を照射する。この処理は減圧状態(0.5torr程度)で基板加熱しながら行うため、第二の層間絶縁膜4、特にSOG膜4b内に吸着している水や炭化水素を効果的に放出させる。そして、第二の層間絶縁膜4に含まれるSiとN₂との反応により第二の層間絶縁膜4の露出面にSi窒化膜(SiN)13が形成される。このSi窒化膜13が形成されるため、この状態のものを大気中に晒した時に、再度水等のガスが第二の層間絶縁膜4に吸着されるのを防止するとともに、第二の層間絶縁膜4中の残留ガスが後のプロセス中に放出されるのを防ぐことができる点は上記実施例2と同様である。

【0022】以後の工程は実施例2と同様であり、図11に示すように、ビア・ホール5の内部をBcl₃プラズマ8に晒すことにより、第一の配線層3の表面上に形成された自然酸化膜を除去する。次いで、図12に示すように、アニールによって第一の配線層3に吸着した塩素を放出させた後、ビア・ホール5の内部に選択CVD法によってタングステンなどの導電物質を埋め込んで導電層6を形成する。そして、図13に示すように、導電層6及び第二の層間絶縁膜4の表面上にスパッタ法などを用いてAl合金膜を成膜し写真製版及びエッチング技術などを用いて第二の配線層7を形成する。また、各工程における効果も実施例2と同様である。

【0023】実施例4. この発明の実施例4である半導体装置の製造方法を図14ないし図20に基づいて説明する。図14及び図15に示すように、第二の層間絶縁膜4にビア・ホール5を形成するまでの工程は上記実施例2および実施例3と同一である。次いで、図16に示すように、プラズマCVD法により、第二の層間絶縁膜4の露出面全体に対して、Si窒化膜(SiN)13を成膜する。このときの処理条件は例えば、1torr程度の圧力のシラン(SiH₄)とアンモニア(NH₃)の流量比1:1の混合ガスに対して、300℃程度の基板温度で、500Å程度の膜厚に成膜を行う。また、これ以外の成膜条件でも可能なことはいうまでもない。この処理は減圧状態(1torr程度)で基板加熱しながら行うため、第二の層間絶縁膜4、特にSOG膜4b内に吸着している水や炭化水素を効果的に放出させる。そして、第二の層間絶縁膜4の露出面にSi窒化膜(SiN)13が成膜される。このSi窒化膜

13が形成されるため、この状態のものを大気中に晒した時に、再度水等のガスが第二の層間絶縁膜4に吸着されるのを防止するとともに、第二の層間絶縁膜4中の残留ガスが後のプロセス中に放出されるのを防ぐことができる点は上記実施例2及び3と同様である。さらに、Si窒化膜(SiN)13の厚さを自在に設定できるのでガスの吸着防止の効果を高めることができる。

【0024】次いで、図17に示すように異方性ドライエッチングで、ビア・ホール5の側面部を除いた領域のSi窒化膜(SiN)13をエッチバックして、ビア・ホール5の側面部のみにSi窒化膜(SiN)13を残す。以後の工程は実施例2及び3と同様であり、図18に示すように、ビア・ホール5の内部をBcl₃プラズマ8に晒すことにより、第一の配線層3の表面上に形成された自然酸化膜を除去する。次いで、図19に示すように、アニールによって第一の配線層3に吸着した塩素を放出させた後、ビア・ホール5の内部に選択CVD法によってタングステンなどの導電物質を埋め込んで導電層6形成する。そして、図20に示すように、導電層6及び第二の層間絶縁膜4の表面上にスパッタ法などを用いてAl合金膜を成膜し写真製版及びエッチング技術などを用いて第二の配線層7を形成する。また、各工程における効果も実施例2及び3と同様である。なお、この実施例ではプラズマCVDによってSi窒化膜(SiN)13を形成したが他の方法、例えば、常圧CVDなどによって形成してもよい。

【0025】実施例5。この発明の実施例5である半導体装置の製造方法について説明する。本実施例5では、基本的な工程は従来例に示したものとほぼ同一であるので、図21～図25を参照して説明する。図22に示した工程において、第二の層間絶縁膜4にビア・ホール5を形成した後、10⁻⁵torr程度の高真空中において、400℃で10分間程度加熱を行う。その後、図22に示した状態のものを大気中に晒すことなく、高真空を保った状態で以下の工程を連続して行う。つまり図23に示すようにをBcl₃プラズマ8に晒すことにより、第一の配線層3の表面上に形成された自然酸化膜を除去し、アニールによって第一の配線3に吸着した塩素を放出させ、図24に示すように、ビア・ホール5の内部に選択CVD法によってタングステンなどの導電物質を埋め込んで導電層6を形成するまでを高真空を保った状態で連続して行うものである。図24に示したこれ以後の工程は従来例と同様である。

【0026】本実施例5においては、ビア・ホール5形成後に、高真空中において加熱処理を行うことにより第二の層間絶縁膜4に吸着されていたガスが放出される。そして、大気にさらすことなく導電層6を形成する工程までを行うことにより、水等のガスが新たに第二の層間絶縁膜4中に吸着されるのを防ぐことができる。従って、選択CVDによって導電物質を埋め込む工程およびBcl₃処理後のアニール工程における従来例で説明した第

二の層間絶縁膜4からの脱ガスによる影響を防ぐことが可能になる。なお、上記各実施例において、導電物質6としてタングステンを使用したか、モリブデン、タンタル、アルミニウム、銅などであってもよく、またこれらの金属の合金やシリサイド化合物であってもよい。

【0027】

【発明の効果】この発明の第一の発明は、第二の層間絶縁膜の穴の側面を含む露出面に窒化膜を形成したので、この窒化膜が第二の層間絶縁膜からのガスの放出を防止し、脱ガスによる導電物質の埋め込み時の成長不良や脱ガスによる第一の配線層の表面の酸化を防ぐことができ、第一の配線層と穴に埋め込まれた導電層との電気的接続を確実にし、信頼性を向上させることができるという効果を有する。

【0028】この発明の第二の発明は、第二の層間絶縁膜の穴の側面を含む露出面に窒化膜を形成したので、第二の層間絶縁膜における穴の側面に窒化膜が形成され、以後の熱処理を含む工程において第二の層間絶縁膜からのガスの放出を防止でき、第二の層間絶縁膜からの脱ガスによる導電物質の埋め込み時の成長不良や脱ガスによる第一の配線層の表面の酸化を防ぐことができ、第一の配線層と穴に埋め込まれた導電層との電気的接続を確実にし、信頼性を向上させることができるという効果を有する。

【0029】この発明の第三の発明は、第二の層間絶縁膜の穴の側面を含む露出面に窒化膜を堆積する工程を設けたので、第二の層間絶縁膜における穴の側面に窒化物が形成され、以後の熱処理を含む工程において第二の層間絶縁膜からのガスの放出を防止でき、第二の層間絶縁膜からの脱ガスによる導電物質の埋め込み時の成長不良や脱ガスによる第一の配線層の表面の酸化を防ぐことができ、第一の配線層と穴に埋め込まれる導電層との電気的接続を確実にし、信頼性を向上させることができるという効果を有する。

【0030】この発明の第四の発明は、第二の層間絶縁膜の穴の形成後に、高真空中において加熱処理を行うことで第二の層間絶縁膜に吸着されていたガスを放出し、その後大気にさらすことなく穴へ導電物質を埋め込む工程までを行うこととしたので、水等のガスが新たに第二の層間絶縁膜中に吸着されるのを防ぎ、以後の熱処理を含む工程においても第二の絶縁膜からのガスの放出がなく、第一の配線層と穴に埋め込まれる導電層との電気的接続を確実にし、信頼性を向上させることができるという効果を有する。

【図面の簡単な説明】

【図1】この発明の実施例1を示す半導体装置の断面図。

【図2】この発明の実施例2における半導体装置の製造方法を工程順に示すための断面図。

【図3】この発明の実施例2における半導体装置の製造

9

方法を工程順に示すための断面図。

【図4】この発明の実施例2における半導体装置の製造方法を工程順に示すための断面図。

【図5】この発明の実施例2における半導体装置の製造方法を工程順に示すための断面図。

【図6】この発明の実施例2における半導体装置の製造方法を工程順に示すための断面図。

【図7】この発明の実施例2における半導体装置の製造方法を工程順に示すための断面図。

【図8】この発明の実施例3における半導体装置の製造方法を工程順に示すための断面図。

【図9】この発明の実施例3における半導体装置の製造方法を工程順に示すための断面図。

【図10】この発明の実施例3における半導体装置の製造方法を工程順に示すための断面図。

【図11】この発明の実施例3における半導体装置の製造方法を工程順に示すための断面図。

【図12】この発明の実施例3における半導体装置の製造方法を工程順に示すための断面図。

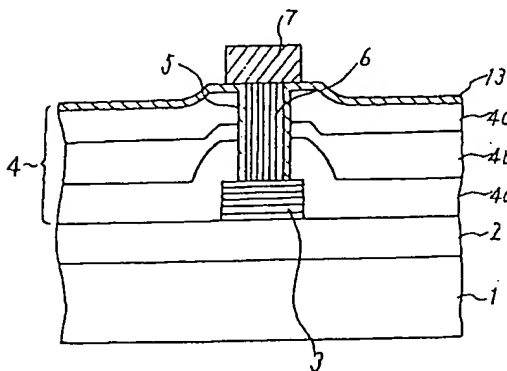
【図13】この発明の実施例3における半導体装置の製造方法を工程順に示すための断面図。

【図14】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図15】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図16】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図1】



- 1: 半導体基板
- 2: 第一の層間絶縁膜
- 3: 第一の配線層
- 4: 第二の層間絶縁膜
- 5: 穴
- 6: 導電層
- 7: 第二の配線層

10

【図17】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図18】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図19】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図20】この発明の実施例4における半導体装置の製造方法を工程順に示すための断面図。

【図21】従来の半導体装置の製造方法を工程順に示す断面図。

【図22】従来の半導体装置の製造方法を工程順に示す断面図。

【図23】従来の半導体装置の製造方法を工程順に示す断面図。

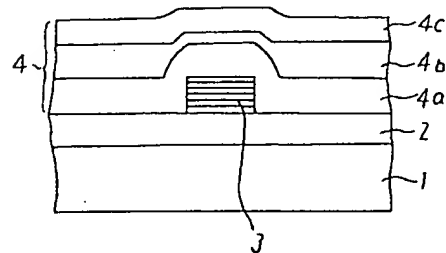
【図24】従来の半導体装置の製造方法を工程順に示す断面図。

【図25】従来の半導体装置の製造方法を工程順に示す断面図。

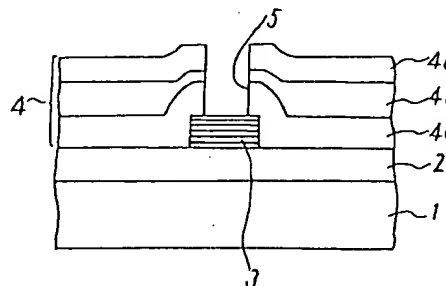
【符号の説明】

- 1 半導体基板
- 2 第一の層間絶縁膜
- 3 第一の配線層
- 4 第二の層間絶縁膜
- 5 穴 (ビア・ホール)
- 6 導電物質
- 13 Si窒化膜

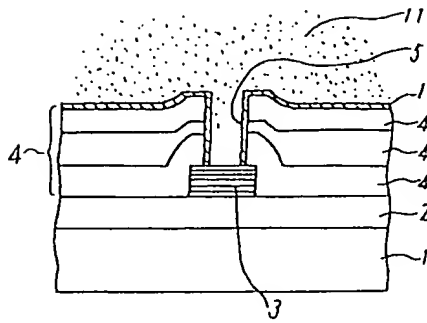
【図2】



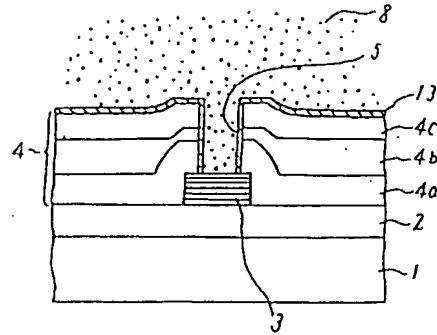
【図3】



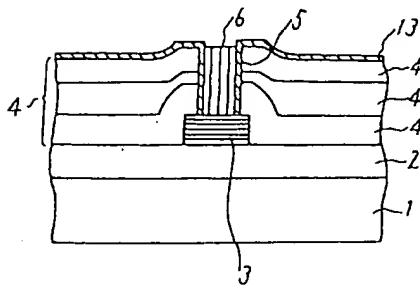
【図4】



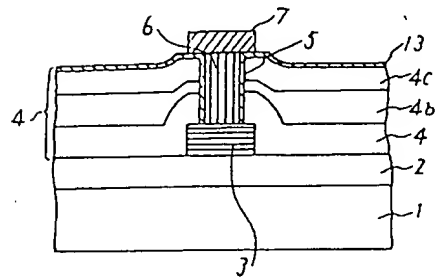
【図5】



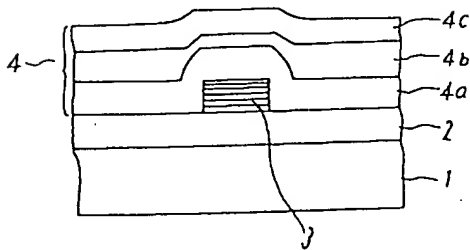
【図6】



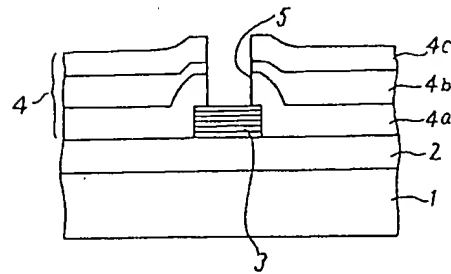
【図7】



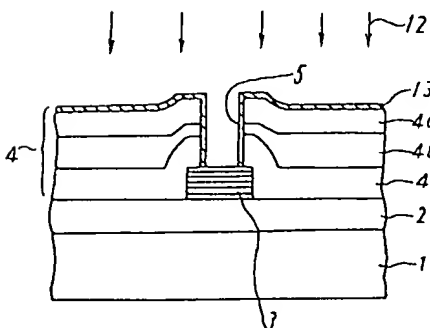
【図8】



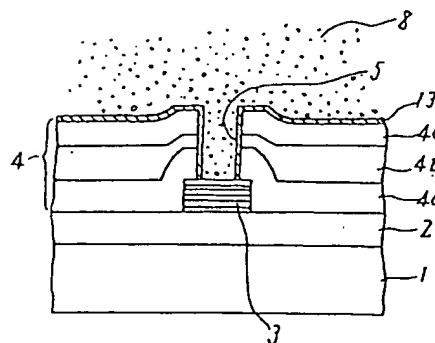
【図9】



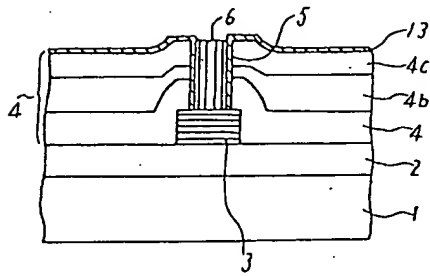
【図10】



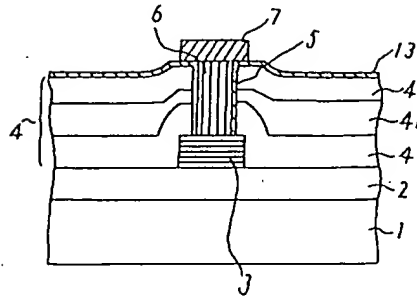
【図11】



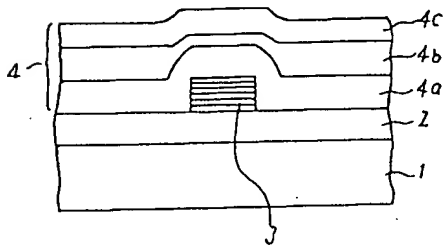
【図12】



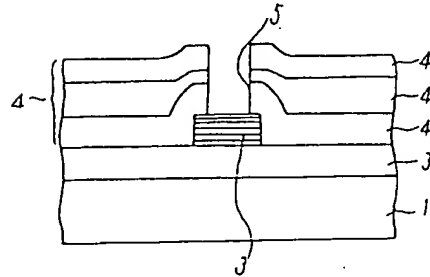
【図13】



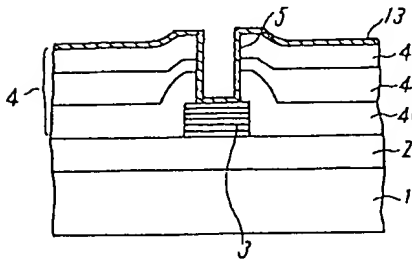
【図14】



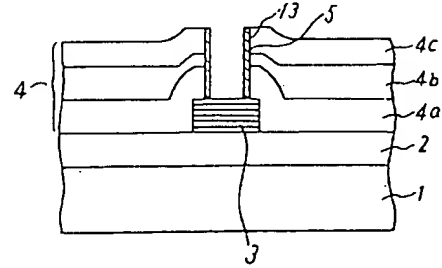
【図15】



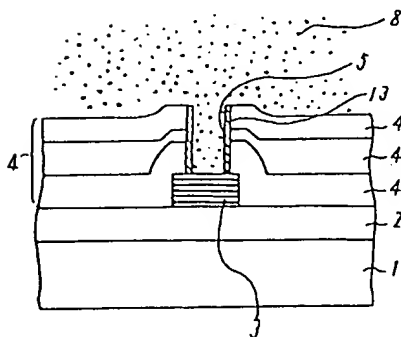
【図16】



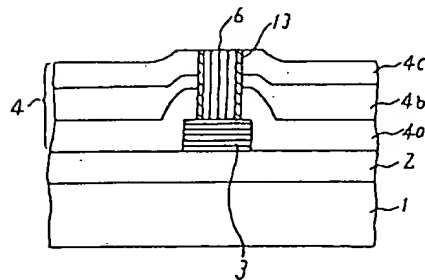
【図17】



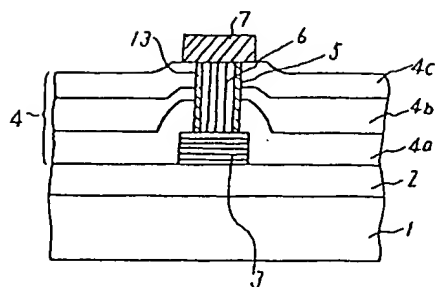
【図18】



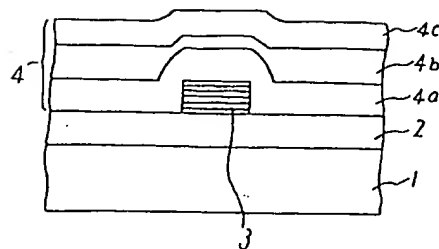
【図19】



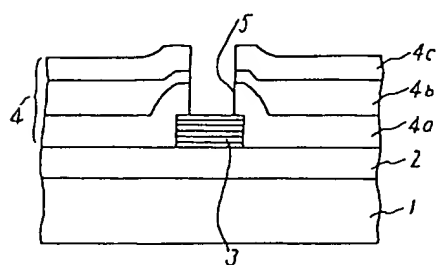
【図20】



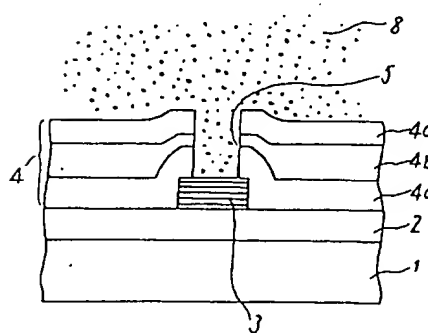
【図21】



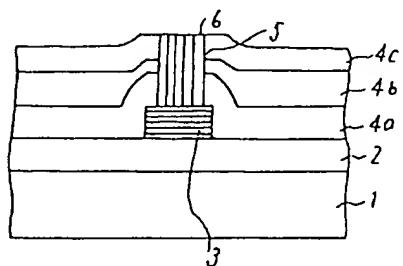
【図22】



【図23】



【図24】



【図25】

